



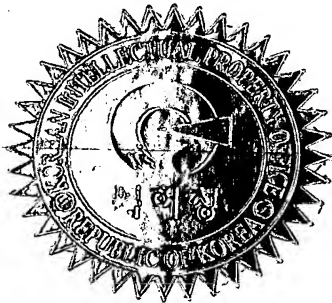
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0003001
Application Number

출원 년 월 일 : 2003년 01월 16일
Date of Application
JAN 16, 2003

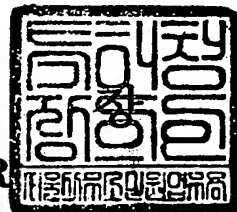
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 08 월 04 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2003.01.16
【국제특허분류】	H01L
【발명의 명칭】	스토리지 전극과 접촉하기 위해 비트 라인 방향으로 확장된 콘택체를 포함하는 반도체 소자 제조 방법
【발명의 영문명칭】	Method for manufacturing semiconductor device including contact body expanded along bit line direction to contact with storage node
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	박제민
【성명의 영문표기】	PARK, Je Min
【주민등록번호】	711212-1110611
【우편번호】	442-370
【주소】	경기도 수원시 팔달구 매탄동 810-4 성일@ 206-702
【국적】	KR
【발명자】	
【성명의 국문표기】	황유상
【성명의 영문표기】	HWANG, Yoo Sang
【주민등록번호】	660707-1006211

【우편번호】 442-470
【주소】 경기도 수원시 팔달구 영통동 황골마을한국@ 214-806
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
이영필 (인) 대리인
정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 26 면 26,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 20 항 749,000 원
【합계】 804,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

스토리지 전극(storage node)과 접촉하기 위해 비트 라인(bit line) 방향으로 확장된 콘택체(contact body)를 포함하는 반도체 소자 제조 방법을 제공한다. 본 발명의 일 관점에 의한 제조 방법은, 반도체 기판 상에 게이트 라인(gate line)들을 형성하고, 제1절연층을 형성한 후, 제1절연층을 관통하는 제1콘택 패드들 및 제2콘택 패드들을 형성한다. 제2절연층을 형성하고, 제2콘택 패드들에 각각 전기적으로 연결되는 비트 라인들을 형성한다. 제3절연층을 형성하고 선택적으로 식각하여, 게이트 라인이 종주하는 방향으로 길게 신장되어 적어도 제1콘택 패드들을 노출하는 밴드(band) 형태이되 비트 라인이 종주하는 방향으로 돌출되는 부위와 상기 돌출 부위에 대향되는 위치에 내측으로 들어온 부위를 가지게 지그 재그(zig zag) 형태로 꺾여진 밴드 형태의 오프닝(opening)을 형성한다. 오프닝을 채워 제1콘택 패드들에 전기적으로 연결되는 도전층을 형성하고 패터닝하여 오프닝의 돌출되는 부위를 채우는 부분에 의해서 비트 라인이 종주하는 방향으로 확장된 개개의 스토리지 전극 콘택체들로 분리한다. 개개의 스토리지 전극 콘택체들 상에 스토리지 전극들을 각각 형성한다.

【대표도】

도 9a

【명세서】

【발명의 명칭】

스토리지 전극과 접촉하기 위해 비트 라인 방향으로 확장된 콘택체를 포함하는 반도체 소자
 제조 방법{Method for manufacturing semiconductor device including contact body expanded
 along bit line direction to contact with storage node}

【도면의 간단한 설명】

도 1a 및 도 1b 내지 도 8a 및 도 8b, 및 도 9a 내지 도 9c들은 본 발명의 실시예에 의
 한 스토리지 전극과 접촉하기 위해 비트 라인 방향으로 확장된 콘택체를 포함하는 반도체 소자
 제조 방법을 설명하기 위해서 개략적으로 도시한 도면들이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<2> 본 발명은 반도체 소자에 관한 것으로, 특히, 커패시터(capacitor)의 스토리지 전극
 (storage node)들이 워드 라인(word line) 방향에서 볼 때 상호 간에 어긋나게 배열될 때 스토
 리지 전극(storage node)과 보다 확실하게 접촉하기 위해서 비트 라인(bit line) 방향으로 확
 장된 콘택체(contact body)를 포함하는 반도체 소자를 제조하는 방법에 관한 것이다.

<3> 반도체 소자 제조 기술이 발달함에 따라 트랜지스터(transistor)의 크기는 작아지고 반
 도체 소자의 집적도는 급격히 증가하여 왔다. 이에 따라, 층들간의 전기적 연결을 위한 콘택체
 크기 또한 줄어들고 있다. 특히, DRAM(Dynamic Random Access Memory) 소자의 경우 소자의 고
 집적화에 따른 콘택 크기의 줄어들음에 따라, 8F2 구조의 일자형 활성 영역(strait active) 구조

에서 커패시터(capacitor)를 형성하는 것이 점점 더 어려워지고 있다. 현재, 이러한 구조에서는 커패시터의 스토리지 전극들이 평면 상에서 볼 때 활성 영역의 길이 방향을 따라 배열되는 일자 형태(strait type)로 배열된다.

<4> 현재, DRAM의 경우 실린더 형태의 스토리지 전극을 포함하여 구성되는 커패시터를 채용하여, 실린더 안, 밖의 면적을 사용하는 방법으로 요구되는 커패시턴스(capacitance)에 부합하고자 하는 경향이 일반적이다. 그런데, DRAM 소자가 고집적화되어 디자인 룰(design rule)이 점점 더 감소되게 됨에 따라, 커패시터의 바닥 임계 선폭(CD:Critical Dimension)을 충분히 확보하기가 어려워지고 있다. 이에 따라, DRAM 소자에서의 커패시터의 커패시턴스를 확보하기 위한 시도가 미합중국 특허 제5,378,906호(Hee G. Lee 등에 의한 'Dynamic random access memory having improved layout', 1995년 1월 3일 등록)에 제시된 바와 같이 다양하게 이루어지고 있다.

<5> 한편, 커패시터의 실린더 형태의 스토리지 전극의 바닥 CD가 매우 작아짐에 따라, 스토리지 전극을 실린더 형태로 기울어짐(leaning)없이 세우기가 매우 힘들어지고 있기 때문이다. 이러한 스토리지 전극의 기울어짐 또는 쓰러짐은 이웃하는 스토리지 전극과 접촉하는 불량을 유발하고 이는 결국 2-비트 불량(2-bit fail)을 유발하게 된다. 그런데, 실린더 형태의 스토리지 전극들이 상기한 바와 같이 일자 형태로 배열되는 상태에서는 이러한 기울어짐을 방지하기가 매우 어려운 상황이다.

<6> 이와 같은 스토리지 전극의 기울어짐 또는 쓰러짐을 극복하기 위해서는 스토리지 전극의 바닥 CD를 키우든지, 아니면, 스토리지 전극의 높이를 낮추든지 해야 한다. 그런데, 소자의 디자인 룰이 정해지면 바닥 CD를 디자인 룰 이상으로 키우는 것은 매우 힘들고, 스토리지 전극의 높이를 낮추면 원하는 커패시턴스를 얻는 것이 불가능해진다.

<7> 이와 같은 제한점들에 의해서 스토리지 전극의 쓰러짐 현상을 극복할 유력한 방법으로, 스토리지 전극들의 배열을 변화시키는 방안이 고려될 수 있다. 스토리지 전극이 쓰러지는 현상은 스토리지 전극들이 일자 형태로 배열될 때, 이웃하는 스토리지 전극들 간의 이격 간격이 매우 협소함에 크게 연관되고 있다. 따라서, 스토리지 전극들의 배열 형태를 바꾸거나 스토리지 전극의 단면 형상을 바꾸는 방안을 고려할 수 있다. 그럼에도 불구하고, 활성 영역이 길이 방향으로 길게 연장된 형태를 가지고, 이러한 활성 영역들이 일자 형태 배열된 일자 형태의 활성 영역 구조에서는 스토리지 전극 배열을 일자 형태 배열로부터 변화시키는 것이 매우 어렵다.

<8> 일자 형태 배열의 활성 영역 구조에서는 이러한 반도체 기판의 활성 영역과 스토리지 전극의 위치가 자연스럽게 중첩되게 되므로, 활성 영역과 스토리지 전극 간의 연결을 위한 콘택체들의 형성 및 정렬이 매우 용이하게 된다. 그런데, 스토리지 전극들 간의 배열을 바꾸게 되면, 스토리지 전극과 활성 영역의 위치가 중첩되지 못하고 서로 어긋나게 되므로, 스토리지 전극과 활성 영역을 전기적으로 연결시킬 콘택체를 형성 및 정렬하기가 매우 어려워진다. 이에 따라, 스토리지 전극과 하부의 활성 영역이 전기적으로 연결되기가 매우 어려워진다.

【발명이 이루고자 하는 기술적 과제】

<9> 본 발명이 이루고자 하는 기술적 과제는, 실린더 형태의 스토리지 전극이 쓰러지는 현상을 극복하기 위해서 스토리지 전극의 바닥 임계 선폴을 보다 확보하고자 스토리지 전극의 배열 또는 단면 형상을 변화시키고자할 때, 스토리지 전극이 하부의 반도체 기판의 활성 영역의 위치로부터 어긋나도록 배열 배치되는 것을 허용하도록, 활성 영역과 스토리지 전극 사이에 충분한 전기적 연결성을 확보하기 위해서 비트 라인 방향으로 확장된 콘택체를 포함하는 반도체 소자 제조 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

- <10> 상기의 기술적 과제들을 달성하기 위한 본 발명의 일 관점은, 비트 라인 방향으로 확장된 콘택체를 포함하는 반도체 소자 제조 방법을 제공한다.
- <11> 상기 반도체 소자 제조 방법은 반도체 기판 상에 게이트 라인들을 형성하는 단계와, 상기 게이트 라인들을 덮는 제1절연층을 형성하는 단계와, 상기 제1절연층을 관통하여 상기 게이트 라인들 사이의 상기 반도체 기판 상에 전기적으로 연결되는 제1콘택 패드들 및 제2콘택 패드들을 형성하는 단계와, 상기 제1콘택 패드들 및 상기 제2콘택 패드들을 덮는 제2절연층을 형성하는 단계와, 상기 제2절연층 상에 상기 게이트 라인들 상을 가로지르고 상기 제2절연층을 관통하여 상기 제2콘택 패드들에 각각 전기적으로 연결되는 비트 라인들을 형성하는 단계와, 상기 비트 라인들을 덮는 제3절연층을 형성하는 단계와, 상기 제3절연층을 선택적으로 식각하여 상기 게이트 라인이 종주하는 방향으로 길게 신장되어 적어도 상기 제1콘택 패드를 노출하는 밴드(band) 형태이되 상기 비트 라인이 종주하는 방향으로 돌출되는 부위를 가지는 밴드 형태의 오프닝(opening)을 형성하는 단계와, 상기 제3절연층 상에 상기 오프닝을 채워 상기 제1콘택 패드들에 전기적으로 연결되는 도전층을 형성하는 단계와, 상기 도전층을 패터닝하여 상기 오프닝의 돌출되는 부위를 채우는 부분에 의해서 상기 비트 라인이 종주하는 방향으로 확장된 개개의 스토리지 전극 콘택체들로 분리하는 단계, 및 상기 개개의 스토리지 전극 콘택체들 상에 스토리지 전극들을 각각 형성하는 단계를 포함하여 구성될 수 있다.
- <12> 또한, 상기 반도체 소자 제조 방법은 반도체 기판 상에 게이트 라인들을 형성하는 단계와, 상기 게이트 라인들을 덮는 제1절연층을 형성하는 단계와, 상기 제1절연층을 관통하여 상기 게이트 라인들 사이의 상기 반도체 기판 상에 전기적으로 연결되는 제1콘택 패드들 및 제2콘택 패드들을 형성하는 단계와, 상기 제1콘택 패드들 및 상기 제2콘택 패드들을 덮는 제2절연층을 형

성하는 단계와, 상기 제2절연층 상에 상기 게이트 라인들 상을 가로지르고 상기 제2절연층을 관통하여 상기 제2콘택 패드들에 각각 전기적으로 연결되는 비트 라인들을 형성하는 단계와, 상기 비트 라인들을 덮는 제3절연층을 형성하는 단계와, 상기 제3절연층을 선택적으로 식각하여 상기 게이트 라인이 종주하는 방향으로 길게 신장되어 적어도 상기 제1콘택 패드들을 노출하는 밴드(band) 형태이되 상기 비트 라인이 종주하는 방향으로 돌출되는 부위와 상기 돌출 부위에 대향되는 위치에 내측으로 들어온 부위를 가지게 지그 재그(zig zag) 형태로 꺾여진 밴드 형태의 오프닝(opening)을 형성하는 단계와, 상기 제3절연층 상에 상기 오프닝을 채워 상기 제1콘택 패드들에 전기적으로 연결되는 도전층을 형성하는 단계와, 상기 도전층을 패터닝하여 상기 오프닝의 돌출되는 부위를 채우는 부분에 의해서 상기 비트 라인이 종주하는 방향으로 확장된 개개의 스토리지 전극 콘택체들로 분리하는 단계, 및 상기 개개의 스토리지 전극 콘택체들 상에 스토리지 전극들을 각각 형성하는 단계를 포함하여 구성될 수 있다.

<13> 여기서, 상기 오프닝의 돌출 부위는 상기 비트 라인들 사이에 위치하고 상기 비트 라인을 사이에 두고 이웃하는 돌출 부위와는 서로 반대 방향으로 돌출되도록 상기 오프닝은 형성될 수 있다.

<14> 또한, 상기 오프닝의 지그 재그로 꺾여지는 부위는 상기 비트 라인들 사이에 위치하고 상기 비트 라인을 사이에 두고 교번적으로 상기 꺾여지는 방향이 반대로 바뀌도록 상기 오프닝은 형성될 수 있다.

<15> 상기 오프닝은 바닥의 선평이 상측 선평에 비해 작아 경사진 측벽을 가지도록 형성될 수 있다.

<16> 이때, 상기 오프닝의 돌출 부위 또는 상기 오프닝의 꺾여지는 부위에서 상기 오프닝의 상측 경계는 상기 오프닝에 인접하는 상기 게이트 라인 상측에 적어도 중첩되도록 확장되게 상



기 오프닝은 형성될 수 있다. 또는, 상기 오프닝의 돌출 부위 또는 상기 오프닝의 꺾여지는 부위에서 상기 오프닝의 상측의 경계는 상기 오프닝에 인접하는 상기 게이트 라인을 사이에 두고 위치하는 상기 제2콘택 패드 상측에 일부 중첩되도록 확장되게 상기 오프닝은 형성될 수 있다. 이때, 상기 식각하는 단계는 상기 오프닝의 측벽이 경사지게 하기 위해서 경사 식각으로 수행될 수 있다.

<17> 상기 오프닝은 다수의 상기 비트 라인들 상을 가로질러 노출하도록 형성될 수 있다. 이때, 상기 방법은 상기 비트 라인이 상기 오프닝을 형성하는 식각에 의해서 침해되는 것을 방지하기 위해서 상기 비트 라인의 상측을 덮는 캐핑 절연층을 형성하는 단계, 및 상기 비트 라인의 측벽을 덮는 스페이서를 형성하는 단계를 더 포함할 수 있다. 여기서, 상기 도전층을 패터닝하는 단계는 상기 캐핑 절연층의 상측 표면을 노출하도록 상기 도전층을 평탄화하는 단계를 포함할 수 있다.

<18> 이때, 상기 스토리지 전극들은 최근하게 이웃하는 스토리지 전극이 상기 비트 라인을 사이에 두고 상기 비트 라인이 종주하는 방향에 대해서 어긋나게 사선 방향에 위치하게 배열되도록 형성될 수 있다. 또한, 상기 스토리지 전극들은 원형 또는 직사각형의 면적을 차지하는 실린더 형태의 3차원 형상으로 형성될 수 있다. 상기 방법은 상기 실린더 형태의 스토리지 전극의 아래 측부를 감싸는 버퍼층을 형성하는 단계를 더 포함하여 구성될 수 있다.

<19> 본 발명에 따르면, 스토리지 전극이 하부의 반도체 기판의 활성 영역의 위치로부터 어긋나도록 배열 배치되는 것을 허용하도록, 활성 영역과 스토리지 전극 사이에 충분한 전기적 연결성을 확보하기 위해서 비트 라인 방향으로 확장된 콘택체를 포함하는 반도체 소자 제조 방법을 제공할 수 있다. 이에 따라, 실린더 형태의 스토리지 전극이 쓰러지는 현상을 효과적으로 극복할 수 있다.



<20> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면 상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 '상'에 있다라고 기재되는 경우에, 상기 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제3의 층이 개재되어질 수 있다.

<21> 본 발명의 실시예에서는 스토리지 전극을 단면 형태로 볼 때 사각형 형태(square type)의 실린더 형태로 구성하고, 스토리지 전극들이 워드 라인(word line)이 종주하는 방향에서 볼 때 비트 라인이 종주하는 방향으로 교대로 치우쳐 배치되는, 즉, 지그 재그(zig zag) 형태로 배치되는 바를 제시한다. 이와 같은 스토리지 전극은 반도체 기판의 활성 영역에 직접적으로 충분히 중첩되는 위치를 점유하기 어려우며, 이러한 위치에서 비트 라인이 종주하는 방향으로 치우쳐지거나 틀어진 위치를 점유하게 된다. 이에 따라, 활성 영역과 스토리지 전극 간을 전기적으로 충분히 연결해 주기가 매우 어렵다.

<22> 이와 같은 정렬 마진(aligning margin)의 부족을 극복하기 위해서 본 발명의 실시예에서는 비트 라인이 종주하는 방향으로 확장된 콘택체, 특히, 스토리지 전극용 콘택체를 제공한다. 이와 같은 콘택체는 비트 라인 방향으로 치우쳐진 위치를 점유하는 스토리지 전극과 충분한 계면을 이루며 접촉할 수 있어, 활성 영역과 스토리지 전극을 충분히 전기적으로 연결시켜 주는 역할을 할 수 있다.



<23> 구체적으로, 커패시터의 스토리지 전극을 반도체 기판 상에 전기적으로 연결시키는 연결 구조는, 매몰 콘택(BC:Buried Contact), 즉, 스토리지 전극 콘택체와 반도체 기판의 활성 영역 상에 접촉하는 매몰 콘택 패드(BC pad)를 도입하여 구성하는 바를 본 발명의 실시예에서는 제시한다. 이때, 스토리지 전극들이 비트 라인 또는 워드 라인인 게이트 라인들이 종주하는 방향에 대해서 비틀어지거나 어느 일 방향으로 치우쳐져 배치되더라도, 즉, 비트 라인이 종주하는 방향이나 워드 라인이 종주하는 방향에 대해서 사선 방향으로 배열되더라도, 스토리지 전극과 스토리지 전극 콘택체가 접촉하는 면적이 충분히 제공될 수 있도록, 스토리지 전극 콘택체가 비트 라인이 종주하는 방향으로 확장된다.

<24> 이러한 스토리지 전극 콘택체를 구현하기 위해서 본 발명의 실시예에서는 별도의 층을 더 도입하지 않고, 지그 재그(zig zag) 형태로 좌우로 구부러진 밴드, 즉, 지그 재그 밴드 형태의 오프닝(opening)을 형성하여, 스토리지 전극 콘택체가 비트 라인이 종주하는 방향으로 확장되도록 유도한다. 이와 같이 지그 재그 밴드 형태의 오프닝을 도입함으로써, 이러한 오프닝을 형성하기 위한 사진 공정의 공정 마진 또는 해상도를 보다 완화된 조건으로 수행할 수 있는 장점을 구현할 수 있다. 또한, 이러한 오프닝을 채우는 도전층을 개개의 스토리지 전극 콘택체들로 분리할 때 자기 정렬 콘택(SAC:Self Aligned Contact) 과정을 도입함으로써, 공정 마진을 보다 확보할 수 있다.

<25> 더욱이, 이러한 오프닝이 경사 식각(taper etch)으로 형성되어 경사진 측벽을 가지도록 유도하는 바를 제시한다. 이에 따라, 스토리지 전극 콘택체가, 비트 라인을 반도체 기판의 활성 영역에 전기적으로 연결하는 콘택체, 예컨대, 다이렉트 콘택(DC:Direct Contact) 및 다이렉트 콘택 패드(DC pad)와 단락되는 것을 최대한 방지하며, 스토리지 전극과의 접촉 면적을 최대한 확보할 수 있도록 유도하는 바를 제시한다.



- <26> 이와 같이 본 발명의 실시예는 스토리지 전극 콘택체들이 비트 라인이 종주하는 방향으로 보다 확장된 형상으로 형성되어, 스토리지 전극들이 비트 라인 또는 게이트 라인들이 종주하는 방향들에 대해서 사선 방향 또는 대각선 방향으로 상호간에 배열될 때, 스토리지 전극 콘택체들이 스토리지 전극들과 충분한 접촉 면적을 제공하는 바를 제시한다. 따라서, 스토리지 전극들이 평면 상에서 볼 때 새로운 배열로 배치되는 것이 가능하며, 스토리지 전극들이 사각형의 단면 형태의 실린더 형태로 형성되는 것이 가능하다. 이에 따라, 스토리지 전극들 간의 이격 간격을 보다 넓게 확보하는 것이 가능하고, 스토리지 전극들이 쓰러져 서로 맞닿아 발생하는 불량들을 효과적으로 방지할 수 있다.
- <27> 이와 같은 본 발명의 실시예를 첨부 도면들을 참조하여 보다 구체적으로 설명한다.
- <28> 도 1a 및 도 1b 내지 도 8a 및 도 8b, 및 도 9a 내지 도 9c들은 본 발명의 실시예에 의한 스토리지 전극과 접촉하기 위해 비트 라인 방향으로 확장된 콘택체를 포함하는 반도체 소자 제조 방법을 설명하기 위해서 개략적으로 도시한 도면들이다.
- <29> 도 1a는 반도체 기판 상에 활성 영역(110)이 설정된 상태를 개략적으로 보여주는 평면도이다. 도 1b는 반도체 기판(100) 상에 활성 영역(110)이 설정된 상태를 개략적으로 보여주기 위해서 도 1a의 1 - 1'의 절단선을 따라 개략적으로 도시한 단면도이다.
- <30> 도 1a 및 도 1b를 참조하면, 바람직하게 실리콘의 반도체 기판(100)에 트렌치 소자 분리(trench isolation) 등과 같은 소자 분리 과정을 수행하여, 활성 영역(110)을 설정하는 소자 분리 영역(150)을 형성한다. 소자 분리 영역(150)은 소자에 따라 다른 형태의 활성 영역(110)을 설정할 수 있으나, 도 1a에 제시된 바와 같이 이웃하는 활성 영역(110)이 장축 방향으로 배치되는 일자 형태(strait type)로 형성될 수 있다. 이러한 소자 분리 영역(150)은 트렌치를 메우는 실리콘 산화물 등과 같은 절연 물질로 구성될 수 있다.



- <31> 이후에, 반도체 기판(100)에 웰(well:도시되지 않음) 및 트랜지스터(transistor)의 채널(channel) 등을 형성하기 위한 사진(photo) 공정과 이온 주입 공정들을 진행할 수 있다.
- <32> 도 2a는 반도체 기판(100) 상에 게이트 라인(200)이 형성된 상태를 개략적으로 보여주는 평면도이고, 도 2b는 도 2a의 2 - 2'의 절단선을 따르는 단면을 개략적으로 보여주는 단면도이다.
- <33> 도 2a 및 도 2b를 참조하면, 활성 영역(110)을 가로지르는 라인(line) 형태로 게이트 라인(200)들을 다수 형성한다. 구체적으로, 활성 영역(110) 상에 존재하는 이온 주입 과정 등에 수반된 패드 산화층(도시되지 않음) 등을 습식 식각 등으로 제거한 후, 활성 영역(110)에 열산화층을 성장시켜 게이트 산화층(210)을 형성한다. 이러한 게이트 산화층(210)은 구현하고자 하는 소자의 특성에 따라 그 두께가 변화될 수 있다.
- <34> 이후에, 게이트 산화층(210) 상에 게이트층(220, 230) 및 게이트 캐핑 절연층(260)을 순차적으로 형성한다. 게이트층(220, 230)은 도전 물질을 증착하여 형성될 수 있다. 예를 들어, 도전성을 갖는 도핑된 폴리 실리콘층(doped polysilicon layer:220)을 대략 1000Å 정도로 두께로 증착하고, 그 상에 게이트의 도전성 향상을 위해서 금속 실리사이드층(metal silicide layer)을 형성한다. 금속 실리사이드층으로는 예컨대 텅스텐 실리사이드층(tungsten silicide layer:230)을 대략 1000Å 정도 두께로 형성할 수 있다. 텅스텐 실리사이드층(230) 상에 후속되는 식각 과정 등으로부터 게이트를 보호하기 위한 캐핑 절연층(260)으로 실리콘 질화물층을 대략 2000Å 정도 두께로 증착한다.
- <35> 이후에, 사진 공정과 식각 공정을 수행하여 캐핑 절연층(260), 게이트층(220, 230) 등을 순차적으로 패터닝하여 도 2a에 도시된 바와 같이 활성 영역(110)을 가로지르는 게이트 라인(200)을 다수 형성한다. 이후에, NMOS 또는 PMOS 등 구현하고자 하는 트랜지스터의 특성과 영



역에 따라 사진 공정과 이온 주입 공정을 거쳐 트랜지스터의 소스(source) 및 드레인(drain) 영역을 LDD(Lightly Doped Drain) 구조로 형성한다.

- <36> 이후에, 게이트 라인(200)을 덮는 절연층을 증착하고 식각하는 스페이서 형성 과정을 수행하여 게이트 스페이서(270)를 게이트 라인(200) 측벽에 형성한다. 게이트 스페이서(270)는 실리콘 질화물층 등으로 형성될 수 있으며, 게이트 라인(200)의 측벽을 덮어 보호하게 된다.
- <37> 도 3a는 콘택 패드들(410, 450)을 형성한 상태를 개략적으로 보여주는 평면도이고, 도 3b는 도 3a의 3 - 3' 절단선을 따르는 단면을 개략적으로 보여주는 단면도이다.
- <38> 도 3a 및 도 3b를 참조하면, 게이트 라인(200) 사이를 메우는 제1절연층(300)을 형성한다. 이러한 제1절연층(300)은 HDP(High Density Plasma) 산화물, BPSG(BoroPhosphoSilicate Glass) 등과 같이 갭 채움(gap fill) 특성이 우수한 실리콘 산화물로 증착될 수 있다. 이후에, 이러한 제1절연층(300)의 상측 표면을 평탄화하는 과정을 부가적으로 수행할 수 있다. 이러한 평탄화 과정은 화학 기계적 연마(CMP:Chemical Mechanical Polishing) 등으로 바람직하게 수행될 수 있다.
- <39> 이후에, 제1절연층(300)에 자기 정렬 콘택(SAC:Self Aligned Contact) 형성 공정을 이용하여 다수의 콘택 패드들(410, 450)들을 형성한다. 이러한 콘택 패드들(410, 450)은 크게 스토리지 전극에의 전기적 연결을 위해서 준비되는 제1콘택 패드(410), 즉, 매몰 콘택 패드(BC pad)와 비트 라인에의 전기적 연결을 위해서 준비되는 제2콘택 패드(450), 즉, 다이렉트 콘택 패드(DC pad)로 대별될 수 있다. 실질적으로 이러한 제1콘택 패드(410)와 제2콘택 패드(450)는 게이트 라인(200)을 사이에 두고 상호 간에 이격되게 위치하게 된다.



- <40> 이러한 콘택 패드들(410, 450)을 형성하는 과정을 예를 들면, 먼저, 사진 공정과 선택적 인 식각 과정을 이용하여 비트 라인 콘택과 스토리지 전극 콘택이 형성될 부분의 제1절연층(300) 부분을 선택적으로 제거하여 활성 영역(110)이 노출되도록 콘택 패드들을 위한 제1콘택홀들을 형성한다. 이러한 제1콘택홀은 밴드 형태(band type)로 형성되어, 제1콘택홀이 콘택 패드들(410 또는 450)이 형성될 위치들을 다수 개의 노출할 수 있다.
- <41> 즉, 제1콘택홀이 게이트 라인(200)들을 가로지르게 노출하여 게이트 라인(200)들을 2개 또는 다수 개 노출하고, 게이트 라인(200)들 사이의 활성 영역(110)들을 다수 개 노출할 수 있다. 이와 같이 제1콘택홀을 밴드 형태로 형성하는 것은 사진 공정에서의 노광 한계를 극복하는데 유용하다. 즉, 제1콘택홀의 크기가 실질적으로 콘택 패드들(410 또는 450) 개개의 크기 보다 크게 형성되므로, 제1콘택홀을 위해 도입되는 포토레지스트 패턴(photoresist pattern: 도시되지 않음)을 노광 및 현상하는 사진 공정에서의 공정 마진을 보다 넓게 확보할 수 있다.
- <42> 이후에, 노출되는 활성 영역(110) 부분에 이온 주입 공정을 수행하여, 활성 영역(110)과 이후에 형성될 콘택 패드들(410, 450) 간의 접촉 저항이 낮아지도록 유도한다. 이후에, N 형 불순물이 함유된 도핑된 폴리 실리콘(doped poly silicon)과 같은 도전물을 대략 2500Å 정도 두께로 증착하여 상기 제1콘택홀들을 메운다. 이후에, 도전층을 에치 백(etch back)하거나 CMP 하여 게이트 라인(200)의 상측에 존재하는 게이트 캐핑 절연층(260)의 상측 표면을 노출시킴으로써, 도전층을 각각의 콘택 패드들(410, 450)로 분리한다.
- <43> 도 4a는 비트 라인(600)이 형성된 상태를 개략적으로 보여주는 평면도이고, 도 4b는 도 4a의 4 - 4' 절단선을 따르는 단면을 개략적으로 보여주는 단면도이다.
- <44> 도 4a 및 도 4b를 참조하면, 콘택 패드들(410, 450)을 덮는 제2절연층(510)을 제1절연층(300) 상에 형성한다. 이러한 제2절연층(510)은 비트 라인과 매몰 콘택 패드인 제1콘택 패드



(410)를 절연시키기 위해서 도입된다. 따라서, 이러한 제2절연층(510)은 실리콘 산화물 등과 같은 절연 물질로 형성될 수 있다.

<45> 다음에, 사진 식각 공정 등을 이용하여, 제2절연층(510)을 관통하여 제2콘택 패드(450), 즉, 다이렉트 콘택 패드의 상측 표면을 선택적으로 노출하는 제2콘택홀(511)을 형성한다. 이러한 제2콘택홀(511)은 제2콘택 패드(450)와 비트 라인(600)을 전기적으로 연결할 제2콘택, 예컨대, 다이렉트 콘택을 위해서 도입된다. 이후에, 제2콘택홀(511)을 메우는 제2콘택(605), 예컨대, 다이렉트 콘택을 형성하여 비트 라인(600)과 제2콘택 패드(450)를 전기적으로 연결시켜준다. 예를 들어, 티타늄 질화물층(TiN layer) 등과 같은 장벽 금속층(611) 및 텅스텐층(W layer) 등과 같은 금속 도전층(651) 등을 증착한 후, 에치 백 또는 CMP 등으로 평탄화하여 제2콘택홀(511)에 채워지는 제2콘택(605)을 형성한다.

<46> 다음에, 비트 라인 형성 공정을 진행하여 제2콘택(605)에 전기적으로 연결되는 비트 라인(600)을 형성한다. 예를 들어, TiN층 등과 같은 장벽 금속층(610) 및 텅스텐층 등과 같은 금속 도전층(650) 등을 증착한 후, 패터닝하여 비트 라인(600)을 형성한다. 이때, 제2콘택홀(511)을 채우는 제2콘택(605), 예컨대, 다이렉트 콘택이 비트 라인(600)과 제2콘택 패드(450)를 전기적으로 연결시켜준다.

<47> 이러한 비트 라인(600)의 상측에는 비트 라인 캐핑 절연층(660)이 실리콘 질화물층 등으로 구비되고, 비트 라인(600)의 측부에는 구분되게 도시되지는 않았으나 비트 라인 스페이서가 실리콘 질화물층 등으로 구비될 수 있다. 이와 같은 캐핑 절연층(660)과 스페이서의 도입은 후속되는 스토리지 전극 콘택체, 예컨대, 매몰 콘택을 형성하는 공정에서 비트 라인(600)이 공정 과정에서 침해되는 것을 방지하기 위해서 예비적으로 이루어진다.

- <48> 도 5a는 비트 라인(600)을 덮는 제3절연층(530) 상에 포토레지스트 패턴(710)을 밴드 형태로 도입하는 단계를 개략적으로 보여주는 평면도이고, 도 5b는 도 5a의 5 - 5' 절단선을 따르는 단면을 개략적으로 보여주는 단면도이다.
- <49> 도 5a 및 도 5b를 참조하면, 비트 라인(600)을 형성한 후, 비트 라인(600)을 덮는 제3절연층(530)을 형성한다. 예를 들어, HDP 산화물, BPSG 등과 같은 갭 채움 능력이 우수한 실리콘 산화물층을 증착하여 제3절연층(530)을 형성한다. 이후에, 필요에 따라 제3절연층(530)의 표면을 평탄화한다. 이러한 평탄화는 CMP 과정을 통해서 수행될 수 있다.
- <50> 제3절연층(530)에 제1콘택 패드(410)와 후속해 형성될 스토리지 전극을 전기적으로 연결해줄 매몰 콘택, 즉, 스토리지 전극 콘택체를 위한 오프닝(opening)을 형성하기 위한 사진 식각 공정에 이용될 포토레지스트 패턴(710)을 형성한다. 포토레지스트 패턴(710)은 제3절연층(530) 상에 밴드 형태로 형성되며, 열지어 배치된 다수의 제1콘택 패드(410)들을 덮는 제3절연층(530)을 부분을 노출하도록 형성된다.
- <51> 이때, 포토레지스트 패턴(710)은 노출되는 영역이 비트 라인(600)들 사이에 중첩되는 영역 부위에서 비트 라인(600)이 종주하는 방향으로 돌출되고, 이러한 돌출되는 노출되는 영역 부위의 반대 부분은 이러한 돌출되는 방향으로 꺾어져 내측으로 들어오도록 형성된다. 또한, 포토레지스트 패턴(710)이 노출하는 영역은 워드 라인, 즉, 게이트 라인(200)이 종주하는 방향으로 이러한 돌출되는 영역과 내측으로 꺾어져 들어오는 영역이 순차적으로 교차되도록 노출되는 영역이 구현되도록 형성된다.
- <52> 즉, 포토레지스트 패턴(710)은 도 5a에 제시된 바와 같이 노출되는 영역이 밴드 형태를 가지되 지그 재그(zig zag) 형태로 좌우로 굴곡된 밴드 형태, 즉, 지그 재그 형태의 밴드 형태의 영역을 노출하도록 형성된다. 이때, 굴곡되는 부위는 비트 라인(600)들의 사이에 중첩되는

영역인 것이 바람직하다. 이와 같이 노출되는 영역이 지그 재그 형태의 밴드 형상으로 구현되기 위해서 포토레지스트 패턴(710)은 지그 재그 형태의 밴드 형상으로 형성된다.

<53> 이와 같이 포토레지스트 패턴(710)을 지그 재그 형태의 밴드 형태로 형성함으로써, 포토레지스트 패턴(710)을 패터닝하기 위해서 도입되는 사진 공정에서 해상도를 마진을 보다 넓게 확보할 수 있다. 즉, 제1콘택 패드(410)만을 노출하는 콘택홀을 형성할 때 요구되는 사진 공정의 해상도보다 낮은 해상도의 사진 공정으로도 상기한 바와 같은 지그 재그 형태의 밴드 형태의 포토레지스트 패턴(710)을 형성하는 것이 가능하다. 이는, 사진 공정에서의 공정 마진을 보다 더 확보할 수 있다는 것을 의미한다.

<54> 이러한 포토레지스트 패턴(710)은 제1콘택 패드(410)를 덮는 제3절연층(530) 부분을 제1콘택 패드(410)의 폭 보다 넓은 폭으로 노출하도록 형성될 수 있다. 이에 따라, 포토레지스트 패턴(710)을 위한 사진 공정의 해상도 마진 또는 공정 마진은 보다 더 확보될 수 있다.

<55> 도 6a는 다수의 제1콘택 패드(410)들을 노출하는 지그 재그 밴드 형태의 오프닝(531)을 형성하는 단계를 개략적으로 보여주는 평면도이고, 도 6b는 도 6a의 6 - 6' 절단선을 따르는 단면을 개략적으로 보여주는 단면도이다.

<56> 도 6a 및 도 6b를 참조하면, 포토레지스트 패턴(도 5a의 710)을 식각 마스크(etch mask)로 이용하여 노출된 제3절연층(530) 부분을 선택적으로 식각하여 지그 재그 밴드 형태의 오프닝(531)을 형성한다. 이러한 식각 과정은 제3절연층(530)이 실리콘 산화물로 형성되었을 경우, 실리콘 산화물에 대한 건식 식각 과정으로 수행될 수 있다. 이러한 식각 과정은 적어도 제1콘택 패드(410)의 상측 표면이 노출되도록 진행된다.

- <57> 이와 같은 식각 과정에 의해서 형성되는 지그 재그 밴드 형태의 오프닝(531)은 게이트 라인(200)을 따라 길게 형성된다. 따라서, 도 6a에 제시된 바와 같이 지그 재그 밴드 형태의 오프닝(531)이 노출하는 영역 내에서 다수의 제1콘택 패드(410)들이 열지어진 상태로 노출되게 된다. 또한, 지그 재그 밴드 형태의 오프닝(531)은 제1콘택 패드(410)들의 옆을 지나는 비트 라인(600)들을 가로지르게 형성된다. 비트 라인(600)들은 도 4b에 제시된 바와 같이 그 측면 및 상면이 비트 라인 스페이서 및 비트 라인 캐핑 절연층(660)으로 보호되게 된다. 비트 라인 캐핑 절연층(660)과 비트 라인 스페이서는 바람직하게 실리콘 질화물층으로 구현되었으므로, 이러한 식각 과정에 충분한 식각 선택비에 의해서 비트 라인(600)을 보호하게 된다.
- <58> 이러한 지그 재그 밴드 형태의 오프닝(531)은 포토레지스트 패턴(710)이 노출하는 폭에 따라 그 폭이 정해지게 된다. 또한, 오프닝(531)은 비트 라인(600)이 종주하는 방향으로 평면 상에서 볼 때 도 6a에 제시된 바와 같이 돌출되게 되므로, 오정렬 등이 발생하더라도 충분히 제1콘택 패드(410)의 상측 표면을 노출하는 것이 가능하다. 따라서, 이러한 지그 재그 밴드 형태의 오프닝(531)을 형성하는 과정의 도입으로 오버레이 마진 등이 보다 더 확보될 수 있다.
- <59> 또한, 이러한 오프닝(531)은 평면 상에서 볼 때 비트 라인이 종주하는 방향으로 돌출되게 굴곡되어졌으므로, 제1콘택 패드(410)에 인접하는 주변 부위, 예컨대, 게이트 라인(200)의 상측으로 보다 확장된 형상을 도 6b에 제시된 바와 같이 가지게 된다. 즉, 오프닝(531)은 게이트 라인(200) 상으로 치우쳐진, 즉, 비트 라인(600)이 종주하는 방향으로 치우쳐진 영역을 노출하게 된다. 이와 같이 치우쳐져 노출되는 영역은, 도 5a에 제시된 바와 같이 포토레지스트 패턴(710)이 지그 재그 밴드 형상을 가지므로, 비트 라인(600)을 사이에 두고 좌우로 교번적으로 치우쳐지게 된다.



- <60> 이때, 도 5a에 제시된 바와 같은 포토레지스트 패턴(710)이 노출하는 영역이 오프닝(531)에 의해서 노출되지 않아야 할 제2콘택 패드(450) 상에 중첩되거나 매우 인접하는 영역까지 확장될 수 있다. 이와 같이 포토레지스트 패턴(710)이 제2콘택 패드(450) 상이나 또는 이에 매우 인접하는 영역까지 최대한 노출시키는 것은, 오프닝(531)을 채우도록 형성될 스토리지 전극용 콘택체, 즉, 매몰 콘택이 비트 라인(600)이 종주하는 방향으로 최대한 치우쳐 확장된 상측 표면을 가지도록 유도하기 위해서이다.
- <61> 이와 같이 스토리지 전극용 콘택체가 최대한 확장된 상측 표면을 가지면, 스토리지 전극용 콘택체 상에 접촉할 스토리지 전극과 스토리지 전극용 콘택체간의 접촉 면적을 최대화할 수 있으며, 또한, 스토리지 전극의 배열이 비트 라인(600) 또는 게이트 라인(200)이 종주하는 방향에 대해서 사선 방향으로 비틀어져 배치될 경우에도 스토리지 전극과 스토리지 전극용 콘택체간의 접촉 면적을 충분히 확보할 수 있는 유리한 점이 있다.
- <62> 이와 같은 유리한 점을 구현하며 또한 오프닝(531)의 바닥이 제2콘택 패드(450)와 최대한 이격되게 유도하기 위해서, 즉, 오프닝(531)이 제2콘택 패드(450)를 노출하지 않도록 보장하기 위해서, 오프닝(531)은 경사 식각(taper etching) 과정으로 형성되는 것이 바람직하다. 즉, 오프닝(531)의 바닥 CD가 상측 CD보다 작도록 하여 오프닝(531)의 측벽이 경사지도록 유도한다. 이와 같이 경사 식각을 이용하면, 식각 마스크로 이용되는 포토레지스트 패턴(710)이 제2콘택 패드(450) 상에 중첩되는 영역을 노출하지라도, 제2콘택 패드(450)가 오프닝(531)에 노출되지 않도록 조절할 수 있다.
- <63> 도 7a는 제3절연층(530') 상에 지그 재그 밴드 형태의 오프닝(531)을 채우는 도전층(800)을 형성하는 단계를 개략적으로 보여주는 평면도이고, 도 7b는 도 7a의 7 - 7' 절단선을 따르는 단면을 개략적으로 보여주는 단면도이다.



- <64> 도 7a 및 도 7b를 참조하면, 지그 재그 밴드 형태의 오프닝(531)을 채우는 도전층(800), 예를 들어, 도전성 폴리 실리콘층을 패터닝된 제3절연층(530') 상에 형성한다. 도전성 폴리 실리콘층은 지그 재그 밴드 형태의 오프닝(531)을 충분히 메우는 두께로 화학 기상 증착 (CVD:Chemical Vapor Deposition) 등으로 형성될 수 있다. 이러한 도전성 폴리 실리콘층 등과 같은 도전층(800)은 제3절연층(530') 상을 덮도록 연장되는 것이 바람직하다. 이러한 도전층(800)은 지그 재그 밴드 형태의 오프닝(531)에 의해서 노출되는 비트 라인(600) 상을 덮게 된다.
- <65> 도 8a는 도전층(800)을 개개의 스토리지 전극 콘택체(810)들로 분리하는 단계를 개략적으로 보여주는 평면도이고, 도 8b는 도 8a의 8 - 8' 절단선을 따르는 단면을 개략적으로 보여주는 단면도이다.
- <66> 도 8a 및 도 8b를 참조하면, 도전층(800)을 평탄화하여 개개의 스토리지 전극 콘택체(810)들, 즉, 매몰 콘택들로 분리한다. 도전층(800)의 평탄화는 에치 백이나 CMP를 이용하여 수행될 수 있으며, CMP를 사용하는 것이 바람직하다. 이때, 평탄화는 비트 라인(600)의 캐핑 절연층(도 4b의 660)의 상측 표면이 충분히 노출되도록 수행되어, 비트 라인(600)의 캐핑 절연층(660)의 노출에 의해서 도전층(800)이 개개의 스토리지 전극 콘택체(810)로 분리되도록 한다.
- <67> 이와 같이 비트 라인 캐핑 절연층(660)이 노출될 때까지 평탄화 과정이 진행된다면, 실질적으로 게이트 라인(200)이 종주하는 방향으로의 스토리지 전극 콘택체(810)들로의 분리는 완성된다. 이러한 평탄화 과정에서 제3절연층(530') 또한 평탄화되어 그 두께가 감소되게 된다. 비트 라인 캐핑 절연층(660)은 바람직하게 실리콘 질화물로 형성되었으므로, 바람직하게 실리콘 산화물로 구성된 제3절연층(530')의 평탄화 과정에서 충분한 식각 선택비를 구현할 수



있다. 이에 따라, 비트 라인 캐핑 절연층(660)은 평탄화 과정의 식각 종료점 또는 연마 종료점으로 역할할 수 있다.

<68> 이러한 분리 과정에 의해서 형성되는 스토리지 전극 콘택체(810)는 후속에서 형성될 스토리지 전극과 하부의 제1콘택 패드(410)를 전기적으로 충분히 연결시켜 주기 위해서 도입된다. 본 발명의 실시예에서 스토리지 전극은 비트 라인(600)이 종주하는 방향으로 볼 때 비트 라인(600)에 대해서 지그 재그(zig zag) 형태로 상호간에 어긋나게 배열되는 바를 제시한다.

<69> 즉, 비트 라인(600)에 대해서 사선 방향으로 이웃하는 스토리지 전극이 배치되도록 스토리지 전극들을 배열하는 바를 제시한다. 이러한 스토리지 전극의 배치는 워드 라인인 게이트 라인(200)을 기준으로 할 때도 마찬가지로 게이트 라인(200)이 종주하는 방향으로 볼 때 지그 재그 형태로 상호간에 어긋나게 배치된다. 즉, 게이트 라인(200)에 대해서 사선 방향으로 이웃하는 스토리지 전극이 배치되도록 스토리지 전극들이 배열된다. 이러한 스토리지 전극들의 배치에 대해서는 이후에 도면들을 참조하여 보다 구체적으로 설명한다.

<70> 그런데, 이러한 바와 같이 스토리지 전극들을 비트 라인(600) 또는 게이트 라인(200)에 대해서 사선 방향으로 어긋나게 배치할 경우, 스토리지 전극의 중심과 제1콘택 패드(410)의 중심이 서로 일치하지 않고 어긋나게 된다. 따라서, 스토리지 전극 콘택체(810)가 스토리지 전극과 제1콘택 패드(410) 사이를 충분히 전기적으로 연결하기 위해서는, 스토리지 전극 콘택체(810)는 비트 라인(600)이 종주하는 방향으로 길게 확장된 상측 표면을 가지는 것이 바람직하다.

<71> 도 7a 및 도 7b에서와 같이 지그 재그 밴드 형태의 오프닝(351)을 채우는 스토리지 전극 콘택체(810)는 지그 재그 밴드 형태의 오프닝(351)이 앞서 설명한 바와 같이 비트 라인(600)



이 종주하는 방향으로 확장된 상태로 도입되었으므로, 비트 라인(600)이 종주하는 방향으로 충분히 확장된 형상을 가지게 된다.

<72> 다시 도 6a와 도 8a를 함께 참조하면, 지그 재그 밴드 형태의 오프닝(351)은 평면 상에서 볼 때 비트 라인(600)이 종주하는 방향으로 돌출된 형상을 가진다. 이러한 돌출되는 정도는 도 6a의 도면에서 완곡하게 묘사하였으나, 오프닝(351)의 바닥에 이웃하는 제2콘택 패드(450)가 노출되지 않는 한 제2콘택 패드(450)의 상측으로 중첩되도록 확장될 수도 있다. 즉, 오프닝(351)을 채워 형성되는 스토리지 전극 콘택체(810)의 바닥의 폭은, 오프닝(351)이 경사 식각에 의해서 경사진 측벽을 가지도록 형성되므로, 상측 표면의 폭에 비해 작은 크기를 가질 수 있으므로, 스토리지 전극 콘택체(810)의 상측 표면은 이러한 제2콘택 패드(450) 상측으로 중첩되도록 확장될 수도 있다.

<73> 이와 같이 스토리지 전극 콘택체(810)의 상측 표면이 제2콘택 패드(450) 상측으로 중첩되도록 확장될 경우에는 오프닝(351)이 도 6a에 제시된 바 이상으로 더 극심하게 굴곡되게 꺾여지도록 지그 재그 밴드 형상으로 구성되면 된다. 즉, 오프닝(351)을 위한 포토레지스트 패턴(도 5a의 710)의 꺾여지는 각도가 도 5a에 제시된 바 보다 더 작은 예각으로 구성되면, 오프닝(351)의 비트 라인(600)이 종주하는 방향으로 확장되는 정도는 더 커질 수 있다. 그러면, 오프닝(351)을 채우게 형성되는 스토리지 전극 콘택체(810)의 상측 표면은 비트 라인(600)이 종주하는 방향으로 보다 더 확장될 수 있다.

<74> 이와 같이 오프닝(351)의 상측 폭이 비트 라인(600)이 종주하는 방향으로 극심하게 확장되더라도, 오프닝(351)을 형성하기 위해 수행되는 식각 과정을 경사 식각으로 수행하면, 오프닝(351)의 바닥이 제2콘택 패드(450)를 노출하지 않도록 조절하는 것이 가능하다.



- <75> 다시 도 8a를 참조하면, 이와 같이 지그 재그 밴드 형상의 오프닝(351)을 채우는 도전층(800)으로 분리된 개개의 스토리지 전극 콘택체(810)는 게이트 라인(200)이 종주하는 방향으로 이웃하는 다른 스토리지 전극 콘택체(810)와 서로 반대 방향으로 확장된 형상을 가진다. 이는 오프닝(351)이 지그 재그 밴드 형상으로 구성되고, 지그 재그 밴드의 굴곡되는 꺾임 지점이 비트 라인(600)들 사이에 위치하도록 함으로써 실현된다.
- <76> 도 9a, 9b 및 9c 각각은 스토리지 전극(900)을 형성하는 단계를 개략적으로 보여주는 평면도 및 단면도들이고, 도 9b 및 도 9c는 도 9a의 9 - 9' 절단선을 따르는 단면을 개략적으로 보여주는 단면도들이다.
- <77> 도 9a 및 도 9b, 도 9c를 참조하면, 스토리지 전극 콘택체(810)에 전기적으로 연결되는 스토리지 전극(900)을 실린더 형태로 형성한다. 이때, 스토리지 전극(900)은 원형 또는 직사각형 등의 단면 형상으로 형성될 수 있다. 실질적으로, 직사각형의 단면 형상을 설계하여 의도하더라도 실제 구현되는 스토리지 전극(900)은 원형에 가까운 직사각형, 즉, 모서리가 완만하게 원형화(rounding)된 직사각형 단면 형상으로 구현될 수 있다.
- <78> 스토리지 전극(900)은 도 9a의 평면도에서 제시된 바와 같이 비트 라인(600)이 종주하는 방향 또는 게이트 라인(200)이 종주하는 방향에 대해서 사선 방향으로 최근하게 이웃하는 스토리지 전극(900)들과 배열되도록 평면 상에서 배치된다. 즉, 비트 라인(600) 또는 비트 라인(600)이 종주하는 방향, 또는 게이트 라인(200)이 종주하는 방향에 대해서 사선 방향으로 최근하게 이웃하는 스토리지 전극(900)들이 배열된다. 이에 따라, 스토리지 전극(900)들은 비트 라인(600)을 기준으로 볼 때, 비트 라인(600)을 따라 비트 라인(600)에 대해서 어긋나 지그 재그하는 위치에 각각 배치되게 되고, 게이트 라인(200)이 종주하는 방향으로도 게이트 라인(200)에 어긋나 지그 재그하는 위치에 배치되게 된다.



- <79> 이와 같이 스토리지 전극(900)들이 배열됨에 따라, 스토리지 전극(900)들 간에 이격되는 거리를 보다 더 확보할 수 있다. 따라서, OCS 형태의 커패시터를 구성할 때 극복되어야 할 문제점으로 인식되고 있는 스토리지 전극의 쓰러짐 및 이러한 쓰러짐에 의해서 스토리지 전극들이 서로 맞닿게 되어 2 비트 불량 발생하는 것을 효과적으로 방지할 수 있다.
- <80> 이러한 스토리지 전극(900)들은 실질적으로 스토리지 전극 콘택체(810)들 상에 충분히 중첩되며 배치된다. 앞서 설명한 바와 같이 스토리지 전극 콘택체(810)들은 상측에 비트 라인(600)이 종주하는 방향으로 충분히 확장되어 형성되었으므로, 그 상에 형성되는 스토리지 전극(900)과 매우 높은 수준의 접촉 면적을 구현할 수 있다. 비록 스토리지 전극(900)들의 중심이 제1콘택 패드(410)의 중심에 대해 크게 어긋나는 위치에 스토리지 전극(900)들이 배치되지만, 본 발명의 실시예에서 제시되는 스토리지 전극 콘택체(810)는 비트 라인(600)이 종주하는 방향으로 크게 확장된 상측 표면을 구현할 수 있으므로 스토리지 전극(900)과 충분한 접촉 면적을 구현할 수 있다.
- <81> 스토리지 전극(900)을 실린더 형태와 같은 3차원 형상으로 구현하기 위해서 도 9b에 제시된 바와 같은 몰드(mold:950)를 희생 절연층으로 도입할 수 있다. 보다 상세하게 설명하면, 스토리지 전극 콘택체(810) 및 제3절연층(530') 상에 몰드층을 대략 1500nm 정도의 두께로 형성한다.
- <82> 이때, 몰드층의 아래에는 별도의 제4절연층(910)을 버퍼층(buffer layer)으로 도입할 수 있다. 이러한 제4절연층(910)은 전극 지지층으로 역할하기 위한 실리콘 산화물층 및 몰드층을 후속 제거할 때 식각 종료층으로 이용될 실리콘 질화물층 등을 포함하여 구성될 수 있다. 식각 종료층으로 바람직하게 이용될 실리콘 질화물층은 대략 500Å 정도의 두께로 형성될 수 있다. 전극 지지층은 필요에 따라 도입되는 층으로 생략될 수도 있다. 이러한 전극 지지층은 적



어도 스토리지 전극 콘택체(810)를 충분히 덮을 수 있는 두께로 형성되는 것이 바람직하며 대략 100\AA 내지 1000\AA 정도 두께로 형성될 수 있다.

<83> 제4절연층(910) 상에 형성되는 몰드층은 스토리지 전극(900)을 형성한 후 제거될 층이므로, 제거에 용이한 절연 물질로 형성되는 것이 바람직하다. 예를 들어, 몰드층은 PE-TEOS으로 형성될 수 있다.

<84> 몰드층을 증착한 후, 사진 식각 공정을 이용하여 스토리지 전극(900)이 형성될 부분을 선택적으로 제거하는 패터닝 과정을 수행한다. 이에 따라, 몰드층은 스토리지 전극 콘택체(810)의 상측 표면을 노출하도록 패터닝되어 몰드(950)로 형성된다. 이러한 몰드(950)를 형성하는 식각 과정은 상기한 식각 종료층, 즉, 실리콘 질화물층 상에서 식각 종료될 수 있다.

<85> 이후에, 몰드(950) 상에 노출되는 스토리지 전극 콘택체(810)의 상측 표면을 덮도록 연장되는 도전층(901)을 형성한다. 이러한 도전층은 도전성 폴리 실리콘을 대략 400\AA 내지 500\AA 정도 두께로 화학 기상 증착하여 형성될 수 있다. 커패시터를 MIM(Metal-Insulator-Metal) 구조의 커패시터로 구성할 경우, 이러한 도전층은 MIM 커패시터의 전극 물질로 이용되는 금속층으로 구성될 수 있다.

<86> 도전층 상에 희생 절연층(도시되지 않음)을 대략 3000\AA 내지 6000\AA 정도 두께로 증착한 후, 건식 식각 또는 CMP(Chemical Mechanical Polishing) 등으로 평탄화하여 도 9c에 도시한 바와 같이 개개의 스토리지 전극(900)으로 분리한다. 이러한 평탄화 과정은 확실한 분리를 위해서 도전층으로 몰드(950)의 상측 표면이 노출될 때까지 수행된다. 이를 위해서 이러한 평탄화 과정은 대략 1000\AA 내지 2000\AA 정도 식각하여 제거하게 된다. 이후에, 희생 절연층 및 몰드(950)를 폴리 실리콘과 실리콘 산화물과의 식각 선택비가 높은 습식 식각 과정을 이용하여



선택적으로 제거한다. 이에 따라, 도 9c에 제시된 바와 같은 실린더 형태의 스토리지 전극 (900)이 형성된다.

<87> 이상, 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 본 발명은 이에 한정되지 않고, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

【발명의 효과】

<88> 상술한 본 발명에 따르면, 비트 라인 또는 게이트 라인에 대해서 어긋나도록 배치되는 스토리지 전극과 하부의 콘택 패드와 사이에 발생하는 오정렬을 극복하여 스토리지 전극과 하부의 콘택 패드를 전기적으로 충분히 안정되게 연결시키는 스토리지 전극 콘택체를 형성하는 방법을 제공한다.

<89> 스토리지 전극이 평면 상에서 볼 때 비트 라인 또는 게이트 라인에 대해서 어긋나도록 배치되면 스토리지 전극들 간의 쓰러짐 현상이 발생하는 것을 효과적으로 방지할 수 있으나, 스토리지 전극의 중심과 하부의 반도체 기판의 활성 영역에 연결된 콘택 패드와의 중심이 크게 어긋나는 것을 회피할 수 없다. 그런데, 본 발명의 실시예에서는 지그 재그 밴드 형태의 오프닝을 이용하여 비트 라인이 종주하는 방향으로 확장된 스토리지 전극 콘택체를 형성하는 바를 제시함으로써, 이러한 스토리지 전극과 콘택 패드가 서로 어긋난 상태를 보상하여 전기적으로 안정되게 스토리지 전극과 콘택 패드가 연결되도록 허용한다.

<90> 또한, 본 발명에 따르면, 지그 재그 밴드 형상의 오프닝을 형성하고, 이러한 오프닝을 채우는 도전층을 형성한 후, SAC 과정의 개념을 이용하여 도전층을 개개의 스토리지 전극 콘택체들로 분리함으로써, 스토리지 전극 콘택체를 위한 사진 공정 및 식각 공정 등의 공정 마진을



보다 크게 확보할 수 있다. 더욱이, 이러한 과정은 별도의 회생층 또는 별도의 부가적인 도전층의 도입이 배제되므로, 전체 반도체 소자 제조 과정들을 더욱 복잡케 하는 것을 방지할 수 있어 실제 양산 과정에서 실현될 가능성을 매우 높게 제공한다.

<91> 또한, 이와 같이 비트 라인이 종주하는 방향으로 충분히 확장된 스토리지 전극 콘택체를 형성하는 방법을 제공함으로써, 하부의 매몰 콘택 패드의 중심과 그 중심이 일치되지 않는 배열로 스토리지 전극들을 평면 상에 배치하는 것이 실현될 수 있다. 즉, 스토리지 전극들을 비트 라인 또는 게이트 라인이 종주하는 방향에 대해서 사선 방향으로 최근하게 이웃하는 스토리지 전극들이 위치하도록, 스토리지 전극들의 배치를 새로이 도입할 수 있다. 이와 같은 스토리지 전극들의 배치에 의해서 스토리지 전극들 간의 이격 간격을 보다 넓게 확보할 수 있어, 실린더 형태의 스토리지 전극들의 주요한 문제점으로 인식되고 있는 스토리지 전극들 간의 브리지(bridge) 발생을 효과적으로 방지할 수 있다.



【특허청구범위】

【청구항 1】

반도체 기판 상에 게이트 라인들을 형성하는 단계;

상기 게이트 라인들을 덮는 제1절연층을 형성하는 단계;

상기 제1절연층을 관통하여 상기 게이트 라인들 사이의 상기 반도체 기판 상에 전기적으로 연결되는 제1콘택 패드들 및 제2콘택 패드들을 형성하는 단계;

상기 제1콘택 패드들 및 상기 제2콘택 패드들을 덮는 제2절연층을 형성하는 단계;

상기 제2절연층 상에 상기 게이트 라인들 상을 가로지르고 상기 제2절연층을 관통하여 상기 제2콘택 패드들에 각각 전기적으로 연결되는 비트 라인들을 형성하는 단계;

상기 비트 라인들을 덮는 제3절연층을 형성하는 단계;

상기 제3절연층을 선택적으로 식각하여 상기 게이트 라인이 종주하는 방향으로 길게 신장되어 적어도 상기 제1콘택 패드를 노출하는 밴드(band) 형태이되 상기 비트 라인이 종주하는 방향으로 돌출되는 부위를 가지는 밴드 형태의 오프닝(opening)을 형성하는 단계;

상기 제3절연층 상에 상기 오프닝을 채워 상기 제1콘택 패드들에 전기적으로 연결되는 도전층을 형성하는 단계;

상기 도전층을 패터닝하여 상기 오프닝의 돌출되는 부위를 채우는 부분에 의해서 상기 비트 라인이 종주하는 방향으로 확장된 개개의 스토리지 전극 콘택체들로 분리하는 단계; 및

상기 개개의 스토리지 전극 콘택체들 상에 스토리지 전극들을 각각 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

**【청구항 2】**

제1항에 있어서,

상기 오프닝의 돌출 부위는 상기 비트 라인들 사이에 위치하고 상기 비트 라인을 사이에 두고 이웃하는 돌출 부위와는 서로 반대 방향으로 돌출되도록 상기 오프닝은 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 3】

제1항에 있어서,

상기 오프닝은 바닥의 선폭이 상측 선폭에 비해 작아 경사진 측벽을 가지도록 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 4】

제3항에 있어서,

상기 오프닝의 돌출 부위에서 상기 오프닝의 상측의 경계는 상기 오프닝에 인접하는 상기 게이트 라인 상측에 적어도 중첩되도록 확장되게 상기 오프닝은 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 5】

제3항에 있어서,

상기 오프닝의 돌출 부위에서 상기 오프닝의 상측의 경계는 상기 오프닝에 인접하는 상기 게이트 라인을 사이에 두고 위치하는 상기 제2콘택 패드 상측에 일부 중첩되도록 확장되게 상기 오프닝은 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

**【청구항 6】**

제3항에 있어서,

상기 식각하는 단계는 상기 오프닝의 측벽이 경사지게 하기 위해서 경사 식각으로 수행되는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 7】

제1항에 있어서,

상기 오프닝은 다수의 상기 비트 라인들 상을 가로질러 노출하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 8】

제1항에 있어서,

상기 비트 라인이 상기 오프닝을 형성하는 식각에 의해서 침해되는 것을 방지하기 위해서

상기 비트 라인의 상측을 덮는 캐핑 절연층을 형성하는 단계; 및

상기 비트 라인의 측벽을 덮는 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 9】

제8항에 있어서, 상기 도전층을 패터닝하는 단계는

상기 캐핑 절연층의 상측 표면을 노출하도록 상기 도전층을 평탄화하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.



【청구항 10】

반도체 기판 상에 게이트 라인들을 형성하는 단계;

상기 게이트 라인들을 덮는 제1절연층을 형성하는 단계;

상기 제1절연층을 관통하여 상기 게이트 라인들 사이의 상기 반도체 기판 상에 전기적으로 연결되는 제1콘택 패드들 및 제2콘택 패드들을 형성하는 단계;

상기 제1콘택 패드들 및 상기 제2콘택 패드들을 덮는 제2절연층을 형성하는 단계;

상기 제2절연층 상에 상기 게이트 라인들 상을 가로지르고 상기 제2절연층을 관통하여 상기 제2콘택 패드들에 각각 전기적으로 연결되는 비트 라인들을 형성하는 단계;

상기 비트 라인들을 덮는 제3절연층을 형성하는 단계;

상기 제3절연층을 선택적으로 식각하여 상기 게이트 라인이 종주하는 방향으로 길게 신장되어 적어도 상기 제1콘택 패드들을 노출하는 밴드(band) 형태이되 상기 비트 라인이 종주하는 방향으로 돌출되는 부위와 상기 돌출 부위에 대향되는 위치에 내측으로 들어온 부위를 가지 게 지그 재그(zig zag) 형태로 꺾여진 밴드 형태의 오프닝(opening)을 형성하는 단계;

상기 제3절연층 상에 상기 오프닝을 채워 상기 제1콘택 패드들에 전기적으로 연결되는 도전층을 형성하는 단계;

상기 도전층을 패터닝하여 상기 오프닝의 돌출되는 부위를 채우는 부분에 의해서 상기 비트 라인이 종주하는 방향으로 확장된 개개의 스토리지 전극 콘택체들로 분리하는 단계; 및

상기 개개의 스토리지 전극 콘택체들 상에 스토리지 전극들을 각각 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

**【청구항 11】**

제10항에 있어서,

상기 오프닝의 지그 재그로 꺾여지는 부위는 상기 비트 라인들 사이에 위치하고 상기 비트 라인을 사이에 두고 교번적으로 상기 꺾여지는 방향이 반대로 바뀌도록 상기 오프닝은 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 12】

제10항에 있어서,

상기 오프닝은 바닥의 선폭이 상측 선폭에 비해 작아 경사진 측벽을 가지도록 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 13】

제12항에 있어서,

상기 오프닝의 꺾여지는 부위에서 상기 오프닝의 상측 경계는 상기 오프닝에 인접하는 상기 게이트 라인 상측에 적어도 중첩되도록 확장되게 상기 오프닝은 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 14】

제12항에 있어서,

상기 오프닝의 꺾여지는 부위에서 상기 오프닝의 상측 경계는 상기 오프닝에 인접하는 상기 게이트 라인을 사이에 두고 위치하는 상기 제2콘택 패드 상측에 일부 중첩되도록 확장되게 상기 오프닝은 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 15】

제12항에 있어서,

상기 식각하는 단계는 상기 오프닝의 측벽이 경사지게 하기 위해서 경사 식각으로 수행되는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 16】

제10항에 있어서,

상기 비트 라인이 상기 오프닝을 형성하는 식각에 의해서 침해되는 것을 방지하기 위해서

상기 비트 라인의 상측을 덮는 캐핑 절연층을 형성하는 단계; 및

상기 비트 라인의 측벽을 덮는 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 17】

제16항에 있어서,

상기 도전층을 패터닝하는 단계는 상기 캐핑 절연층의 상측 표면을 노출하도록 상기 도전층을 평탄화하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 18】

제10항에 있어서,

상기 스토리지 전극들은 최근하게 이웃하는 스토리지 전극이 상기 비트 라인을 사이에 두고 상기 비트 라인이 종주하는 방향에 대해서 어긋나게 사선 방향에 위치하게 배열되도록 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 19】

제10항에 있어서,

상기 스토리지 전극들은 원형 또는 직사각형의 면적을 차지하는 실린더 형태의 3차원 형상으로 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

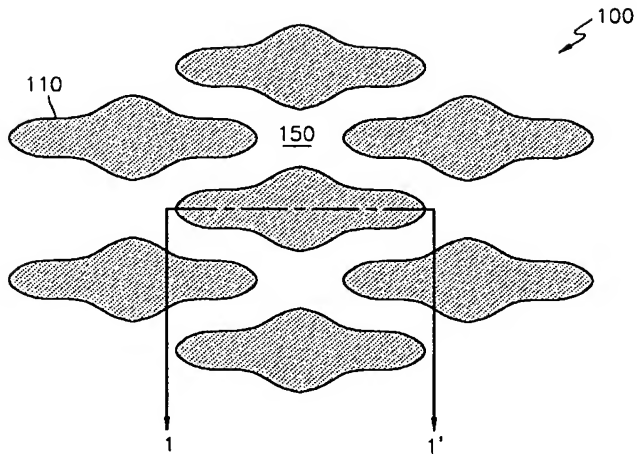
【청구항 20】

제19항에 있어서,

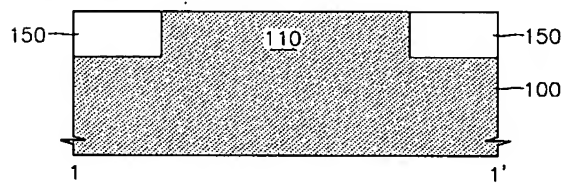
상기 실린더 형태의 스토리지 전극의 아래 측부를 감싸는 버퍼층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

【도면】

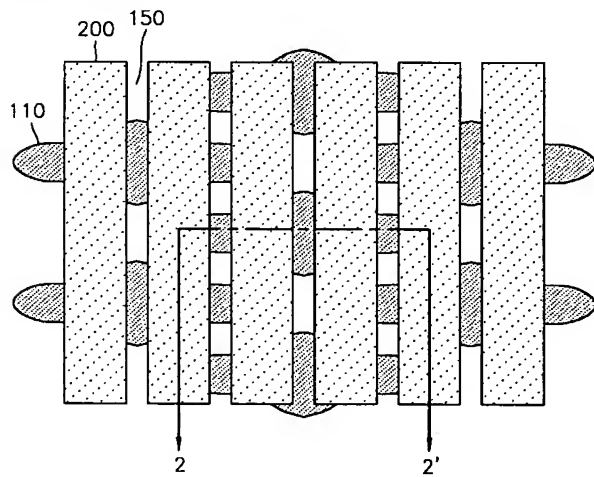
【도 1a】



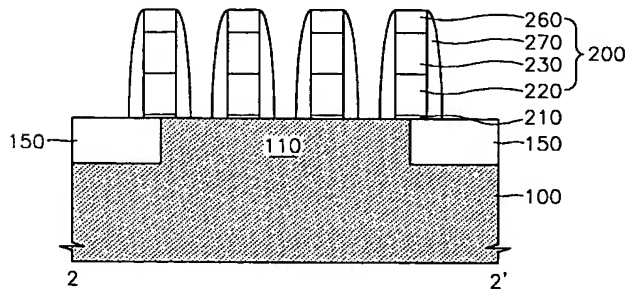
【도 1b】



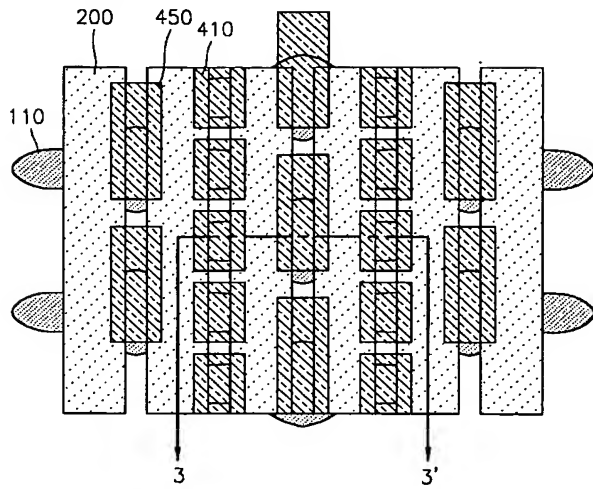
【도 2a】



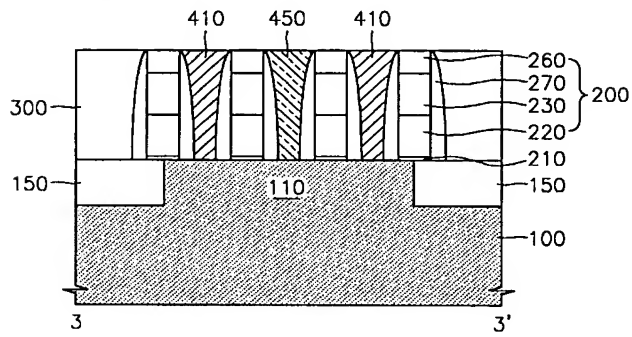
【도 2b】



【도 3a】



【도 3b】



【도 4a】

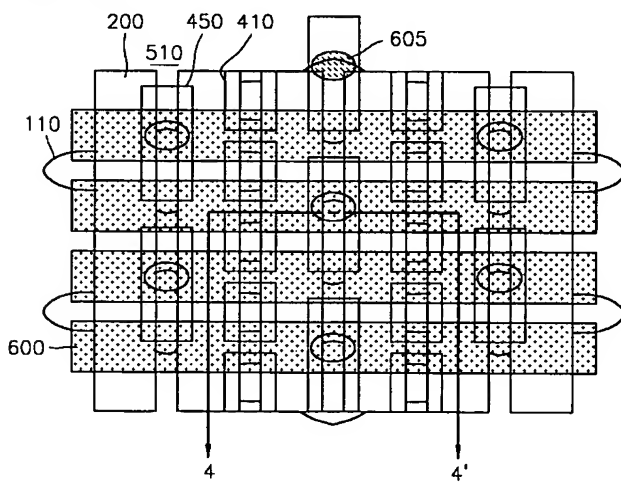
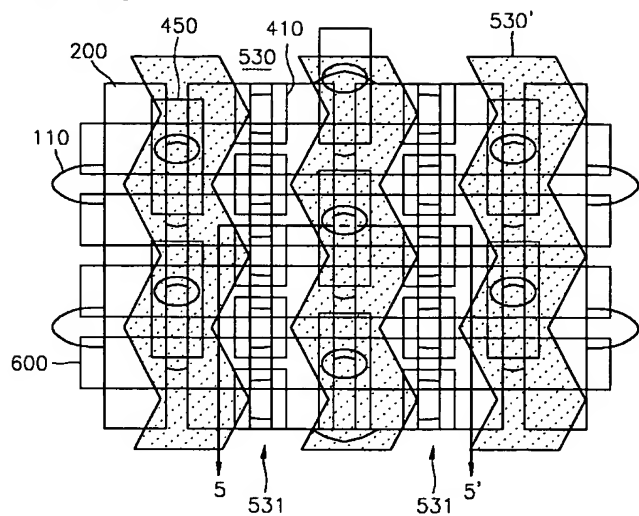
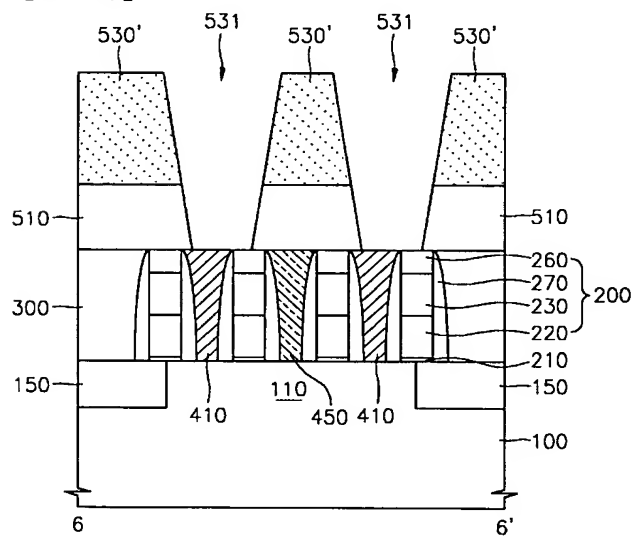


FIG. 1 is a perspective view of a first embodiment of a multi-layered circuit board. The board is composed of a central core 110, which is a rectangular block with a grid of conductive traces. The top and bottom surfaces of the core are covered by alternating layers of conductive material (200, 450, 530, 410, 710) and insulating material (600). The board is shown with a central cutout and a side view indicating a thickness of 5 and 5'.

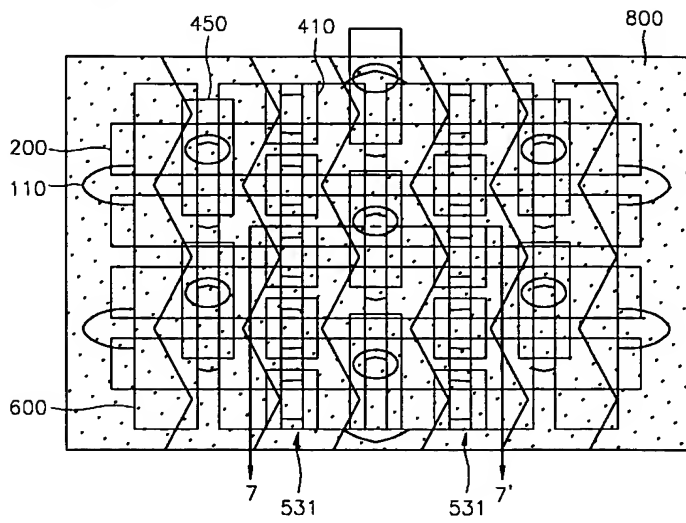
【도 6a】



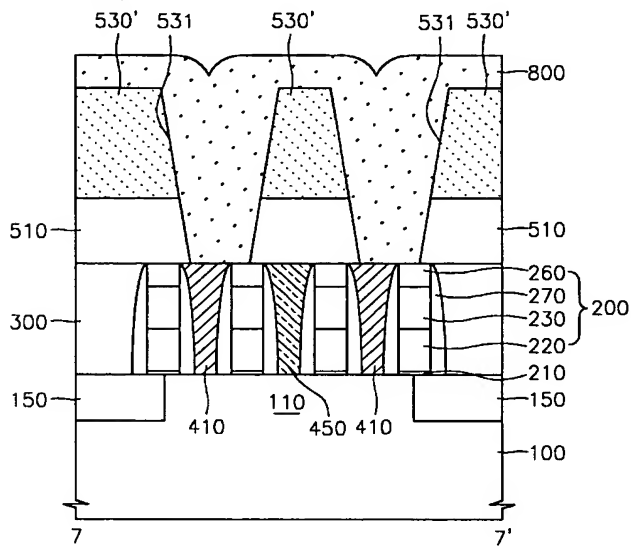
【도 6b】



【도 7a】

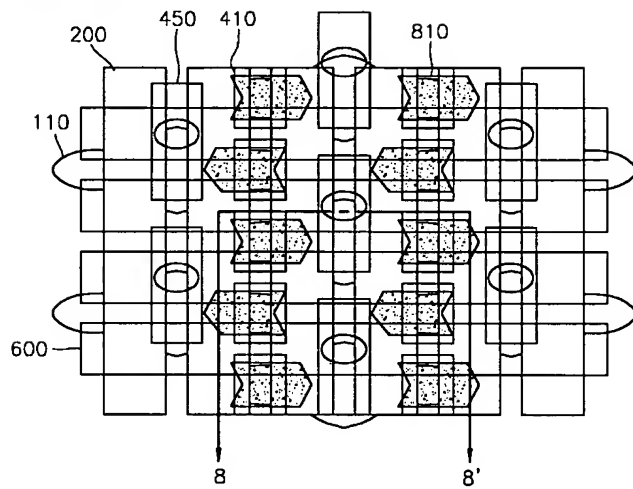


【도 7b】

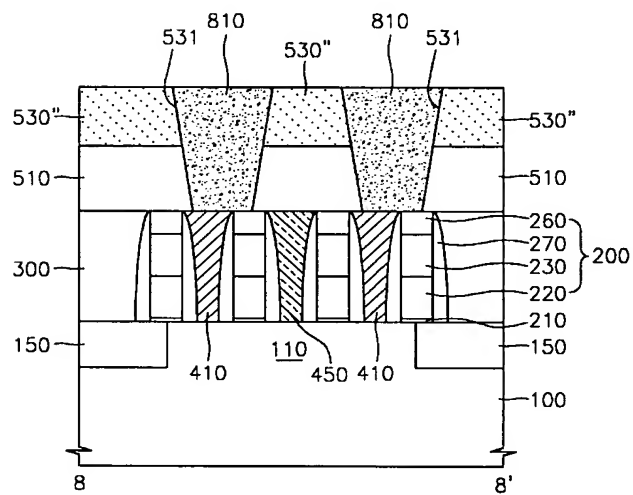




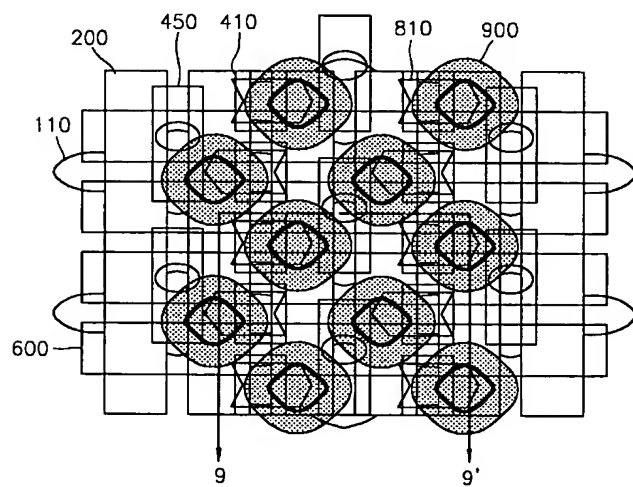
【도 8a】



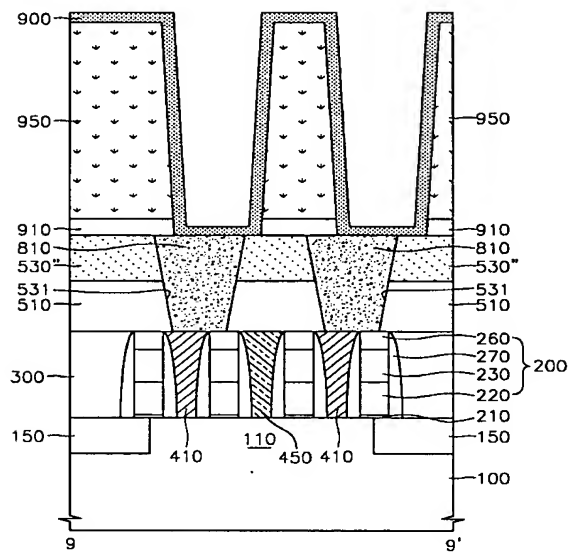
【도 8b】



【도 9a】



【도 9b】



【도 9c】

